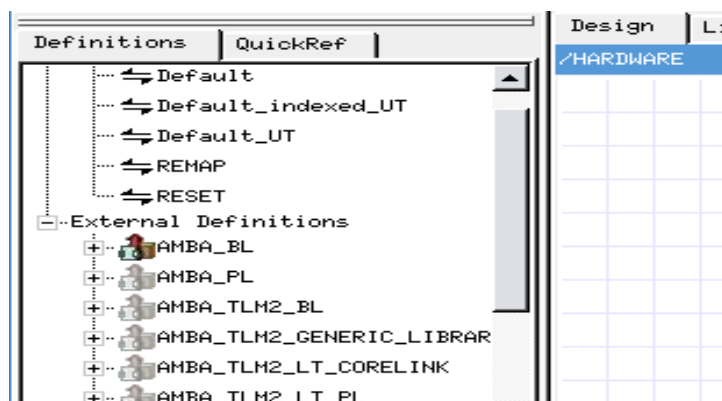


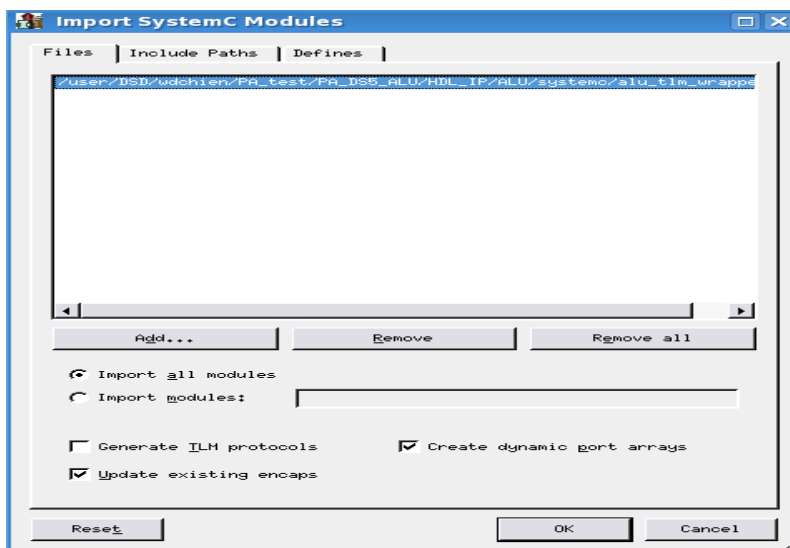
操作指引

3.1 將 ALU Verilog 程式碼包裝為 PA 元件庫

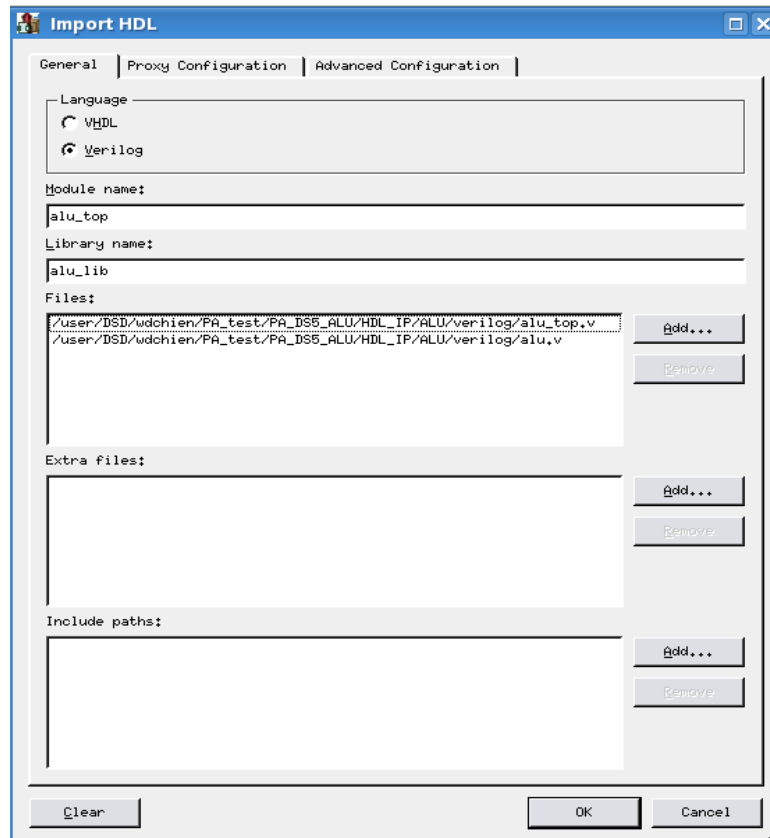
- A. 開啟 Terminal 視窗。在 PA_DS5_ALU/ 目錄執行指令 “source pa_setup.csh” 設定環境參數。
- B. 切換目錄至 PA_DS5_ALU/HDL_IP/ALU/。
- C. 執行指令“pct&”以啟動 Platform Creator (pct) 圖形介面環境。
- D. 在 pct 左側 “Definitions” 欄位的樹狀圖，點選打開 “External Definition”及其下的”AMBA_BL”(圖標會由灰轉彩色)。

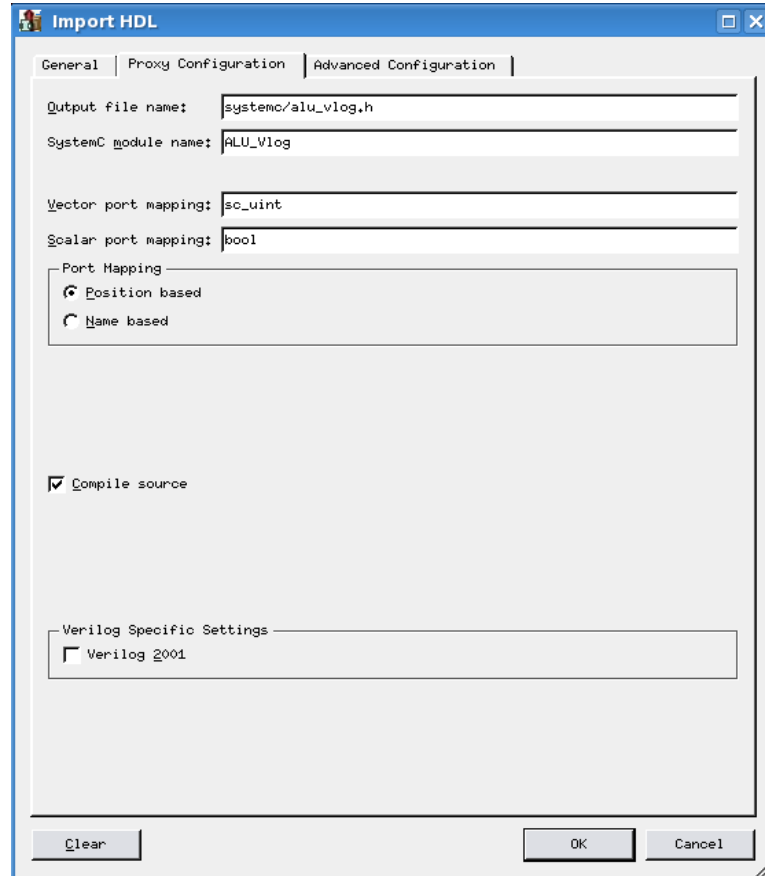


- E. 從系統選單執行 “Project -> Import SystemC Modules”，叫出 SystemC 匯入視窗。在“Files” 欄位，點按 “add” 鍵，加入檔案 PA_DS5_ALU/HDL_IP/ALU/systemc/alu_tlm_wrapper.h。在“Include Paths” 欄位，點按“add”鍵加入目錄 PA_DS5_ALU/HDL_IP/ALU/systemc/。完成之後點選 “OK”功能鍵。匯入成功會顯示訊息“SystemC code import successfully finished.”。



- F. 此時在 “Definitions”欄會出現“ALU_TLM_Wrapper”圖標。點選並按滑鼠右鍵選“Rename”改成“ALU”。
- G. 從系統選單執行 “Project -> Import HDL”，叫出 HDL 匯入視窗。
在”General”功能表進行以下設定：
Language -> Verilog、
Module name -> alu_top、
Library name -> alu_lib、
Files -> 加入 PA_DS5_ALU/HDL_IP/ALU/verilog/alu.v 及
PA_DS5_ALU/HDL_IP/ALU/verilog/alu_top.v。
在”Proxy Configuration”功能表進行以下設定：
Output file name -> “systemc/alu_vlog.h”、
SystemC module name -> “ALU_Vlog”、
Compile source -> 勾選、
其他設定不作變動。

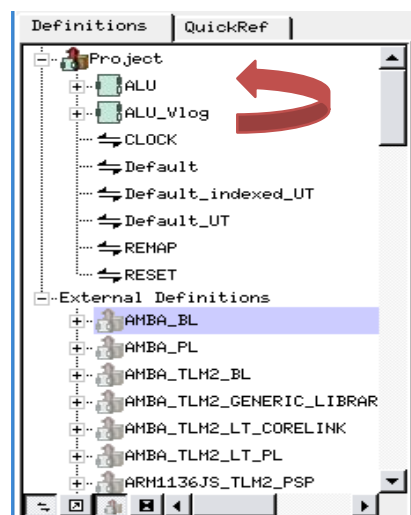




點選“OK”，匯入完成後“Definitions”欄會出現“ALU_Vlog”圖標。

點選“Definitions”欄裏的“AMBA_BL”圖標，按滑鼠右鍵選“Close”將其關閉。

H. 點選“ALU_Vlog”圖標，按住滑鼠左鍵不放，將“ALU_Vlog”拉進“ALU”裏。



I. 按滑鼠左鍵兩次點選“Definitions”欄裏的“ALU”圖標，畫面中間的工作區會直接切換到“Library Editor”。首先，在“Ports”欄按滑鼠右鍵分別新增兩個埠：

Port -> clock、Protocol -> CLOCK

Port-> reset、Protocol -> RESET

接著將右側“Encapsulation”選單，從“ALU_TLM_Wrapper”切換成“ALU_Vlog”，在“Port”欄位會出現多個接腳的名稱。針對每個接腳，設定對應的“Mapped To”欄位值。

HADDR -> p_AHB.HADDR

HCLK -> clock.pin

HRDATA -> p_AHB.HRDATA

HREADYin -> p_AHB.HREADYin

HREADYout -> p_AHB.HREADYout

HRESETn -> reset.pin

HRESP -> p_AHB.HRESP

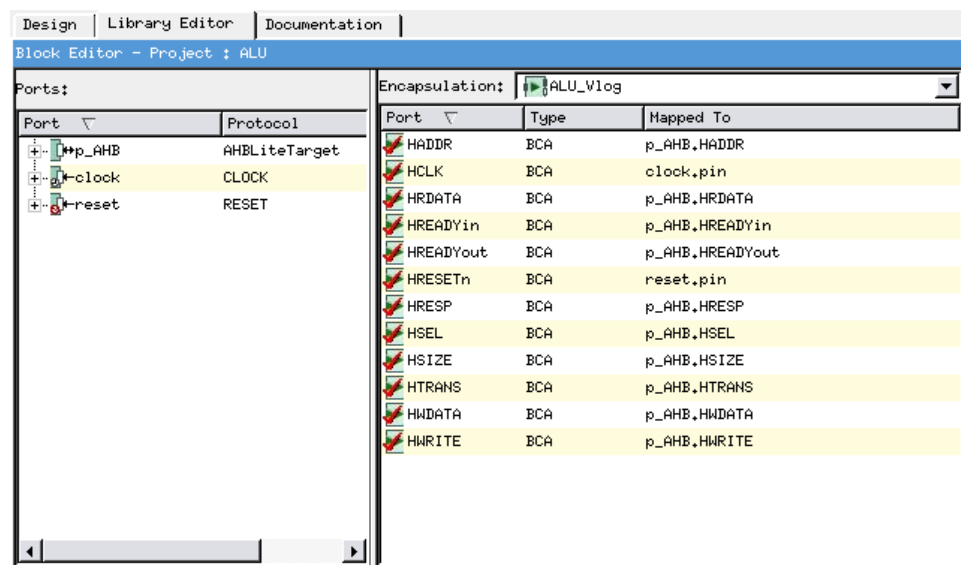
HSEL -> p_AHB.HSEL

HSIZE -> p_AHB.HSIZE

HTRANS -> p_AHB.HTRANS

HWDATA -> p_AHB.HWDATA

HWRITE -> p_AHB.HWRITE



J. 設定完成，儲存 project 檔。

在 pct 系統選單，選擇 File ->“Save Project As”；

在“Save Project As”設定視窗，設定

Project name -> “ALU”

File name -> alu.xml

點選“OK”完成儲存。

K. 離開 pct。使用任何文字編輯軟體，打開之前步驟中，pct 產生的檔案 PA_DS5_ALU/HDL_IP/ALU/systemc/alu_vlog.h，找出下列兩段文字

```
verilog_files.push_back(hpg_hdl_src_path + std::string("../alu_top.v"));
verilog_files.push_back(hpg_hdl_src_path + std::string("../g/alu.v"));
```

括號內...是指 ALU 兩個 *.v 程式檔案在您電腦的絕對路徑，請修改成對應於 PA_DS5_ALU/PA/export/目錄的相對路徑。

```
verilog_files.push_back(hpg_hdl_src_path +
std::string("../HDL_IP/ALU/verilog/alu_top.v"));
verilog_files.push_back(hpg_hdl_src_path +
std::string("../HDL_IP/ALU/verilog/alu.v"));
```